

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0041939
Application Number

출원년월일 : 2002년 07월 18일
Date of Application JUL 18, 2002

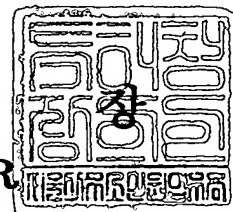
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 05 월 26 일

특 허 청

COMMISSIONER





1020020041939

출력 일자: 2003/5/27

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.07.18
【발명의 명칭】	듀얼패널타입 유기전계발광 소자 및 그의 제조방법
【발명의 영문명칭】	Dual Panel Type Organic Electroluminescent Device and Method for Fabricating the same
【출원인】	
【명칭】	엘지 .필립스엘시디(주)
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	정원기
【대리인코드】	9-1998-000534-2
【포괄위임등록번호】	1999-001832-7
【발명자】	
【성명의 국문표기】	박재용
【성명의 영문표기】	PARK, JAE YONG
【주민등록번호】	681112-1894818
【우편번호】	431-060
【주소】	경기도 안양시 동안구 관양동 한가람 한양아파트 307-801
【국적】	KR
【발명자】	
【성명의 국문표기】	유충근
【성명의 영문표기】	YOO, CHOONG KEUN
【주민등록번호】	720708-1079619
【우편번호】	403-032
【주소】	인천광역시 부평구 청천2동 광명아파트 103-610
【국적】	KR
【발명자】	
【성명의 국문표기】	김옥희
【성명의 영문표기】	KIM, OCK HEE
【주민등록번호】	721110-2474312

【우편번호】	430-016
【주소】	경기도 안양시 만안구 안양6동 435-1 프리빌 711호
【국적】	KR
【발명자】	
【성명의 국문표기】	이남양
【성명의 영문표기】	LEE,NAM YANG
【주민등록번호】	580123-1024825
【우편번호】	463-729
【주소】	경기도 성남시 분당구 내정동(파크타운) 삼익아파트 120-604
【국적】	KR
【발명자】	
【성명의 국문표기】	김관수
【성명의 영문표기】	KIM,KWAN S00
【주민등록번호】	711210-1226318
【우편번호】	440-320
【주소】	경기도 수원시 장안구 율전동 518 상호진덕 203-1104
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 정원기 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	10 면 10,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	9 항 397,000 원
【합계】	436,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명에서는, 화면을 구현하는 최소단위인 서브픽셀(sub-pixel) 영역이 정의된 제 1, 2 기판과; 상기 제 2 기판의 내부면에 형성된 제 1 전극과; 상기 제 1 전극 하부에서 서브픽셀별 경계부에 차례대로 형성된 절연막 및 격벽과; 상기 격벽 내부 영역에 차례대로 형성된 유기전계발광층 및 제 2 전극과; 상기 제 1 기판의 내부면에 서브픽셀 단위로 형성된 박막트랜지스터와; 상기 박막트랜지스터를 덮는 기판 전면에 위치하며, 상기 박막트랜지스터를 일부 노출시키는 콘택홀을 가지는 보호층과; 상기 보호층 상부의 상기 제 2 전극 형성부와 대응되는 위치에서, 상기 제 1, 2 기판 사이 간격을 일정하게 유지하는 범위에서 상기 격벽보다 높은 높이를 가지는 기둥형상의 제 1 패턴과; 상기 제 1 패턴을 덮는 영역에서, 상기 콘택홀을 통해 드레인 전극과 연결되고, 최상부면은 상기 제 2 전극의 하부면과 접촉되는 전도성 물질로 이루어진 제 2 패턴을 포함하며, 상기 유기전계발광층으로부터 발광된 빛은 제 1 전극쪽으로 발광되고, 상기 제 1, 2 패턴은 상기 박막트랜지스터와 유기전계발광 다이오드 소자를 연결하는 연결패턴을 이루는 것을 특징으로 하는 듀얼패널타입 유기전계발광 소자를 제공함으로써, 첫째, 생산수율 및 생산관리 효율을 향상시킬 수 있고, 제품수명을 늘릴 수 있고, 둘째, 상부발광방식이기 때문에 박막트랜지스터 설계가 용이해지고 고개구율/고해상도 구현이 가능하며, 셋째, 상부발광방식이면서 인캡슐레이션 구조이기 때문에, 외기로부터 안정적인 제품을 제공할 수 있고, 넷째, 어레이 소자와 유기전계발광 소자를 연결하는 연결패턴을 형성함에 있어서, 두께감을 줄 수 있고 높이조절이 용이한 패턴을 포함하여 연결패턴을 형성하기 때문에, 제품불량률을 낮출 수 있으며, 다섯째, 본 발명에 따른 한 실시예에 따르면, 유기전

계발광 다이오드 소자용 구동 박막트랜지스터의 전극을 연장형성하여 연결패턴으로 이용함에 따라, 공정 단순화를 꾀할 수 있는 장점을 가진다.

【대표도】

도 5

【명세서】**【발명의 명칭】**

듀얼패널타입 유기전계발광 소자 및 그의 제조방법{Dual Panel Type Organic Electroluminescent Device and Method for Fabricating the same}

【도면의 간단한 설명】

도 1은 일반적인 액티브 매트릭스형 유기전계발광 소자의 기본 픽셀 구조를 나타낸 도면.

도 2는 종래의 하부발광방식 유기전계발광 소자에 대한 개략적인 단면도.

도 3은 상기 도 2 유기전계발광 소자의 한 서브픽셀 영역에 대한 확대 단면도.

도 4는 종래의 유기전계발광 소자의 제조 공정에 대한 공정 흐름도.

도 5는 본 발명의 제 1 실시예에 따른 듀얼패널타입 유기전계발광 소자에 대한 단면도.

도 6은 본 발명의 제 2 실시예에 따른 듀얼패널타입 유기전계발광 소자에 대한 단면도.

<도면의 주요부분에 대한 부호의 설명>

110 : 제 1 기판

112 : 버퍼층

114 : 반도체층

116 : 게이트 절연막

118 : 게이트 전극

120 : 제 1 콘택홀

122 : 제 2 콘택홀	124 : 제 1 보호층
126 : 소스 전극	128 : 드레인 전극
130 : 제 3 콘택홀	132 : 제 2 보호층
134a : 제 1 패턴	134b : 제 2 패턴
134 : 연결 패턴	150 : 제 2 기판
152 : 제 1 전극	154 : 절연층
156 : 격벽	158 : 유기전계발광층
160 : 제 2 전극	170 : 셀패턴
I : 활성 영역	II : 소스 영역
III : 드레인 영역	
E : 유기전계발광 다이오드 소자	
T : 박막트랜지스터	h1 : 제 1 패턴의 높이
h2 : 격벽의 높이	

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<24> 본 발명은 유기전계발광 소자(Organic Electroluminescent Device)에 관한 것이며, 특히 듀얼패널타입 유기전계발광 소자에 관한 것이다.

- <25> 새로운 평판 디스플레이(FPD ; Flat Panel Display)중 하나인 유기전계발광 소자는 자체발광형이기 때문에 액정표시장치에 비해 시야각, 콘트라스트 등이 우수하며 백라이트가 필요하지 않기 때문에 경량박형이 가능하고, 소비전력 측면에서도 유리하다. 그리고, 직류저전압 구동이 가능하고 응답속도가 빠르며 전부 고체이기 때문에 외부충격에 강하고 사용온도범위도 넓으며 특히 제조비용 측면에서도 저렴한 장점을 가지고 있다.
- <26> 특히, 상기 유기전계발광 소자의 제조공정에는, 액정표시장치나 PbP(Plasma Display Panel)와 달리 증착(deposition) 및 인캡슐레이션(encapsulation) 장비가 전부라고 할 수 있기 때문에, 공정이 매우 단순하다.
- <27> 종래에는 이러한 유기전계발광 소자의 구동방식으로 별도의 스위칭 소자를 구비하지 않는 패시브 매트릭스형(passive matrix)이 주로 이용되었다.
- <28> 그러나, 상기 패시브 매트릭스 방식에서는 주사선(scan line)과 신호선(signal line)이 교차하면서 매트릭스 형태로 소자를 구성하므로, 각각의 픽셀을 구동하기 위하여 주사선을 시간에 따라 순차적으로 구동하므로, 요구되는 평균 휘도를 나타내기 위해서는 평균 휘도에 라인수를 곱한 것 만큼의 순간 휘도를 내야만 한다.
- <29> 그러나, 액티브 매트릭스 방식에서는, 픽셀(pixel)을 온/오프(on/off)하는 스위칭 소자인 박막트랜지스터(Thin Film Transistor)가 서브픽셀(sub pixel)별로 위치하고, 이 박막트랜지스터와 연결된 제 1 전극은 서브픽셀 단위로 온/오프되고, 이 제 1 전극과 대향하는 제 2 전극은 공통전극이 된다.
- <30> 그리고, 상기 액티브 매트릭스 방식에서는 픽셀에 인가된 전압이 스토리지 캐패시터(C_{ST} ; storage capacitance)에 충전되어 있어, 그 다음 프레임(frame) 신호가 인가될

때까지 전원을 인가해 주도록 함으로써, 주사선 수에 관계없이 한 화면동안 계속해서 구동한다.

<31> 따라서, 액티브 매트릭스 방식에 의하면 낮은 전류를 인가하더라도 동일한 휘도를 나타내므로 저소비전력, 고정세, 대형화가 가능한 장점을 가진다.

<32> 이하, 이러한 액티브 매트릭스형 유기전계발광 소자의 기본적인 구조 및 동작특성에 대해서 도면을 참조하여 상세히 설명한다.

<33> 도 1은 일반적인 액티브 매트릭스형 유기전계발광 소자의 기본 픽셀 구조를 나타낸 도면이다.

<34> 도시한 바와 같이, 제 1 방향으로 주사선이 형성되어 있고, 이 제 1 방향과 교차되는 제 2 방향으로 형성되며, 서로 일정간격 이격된 신호선 및 전력공급 라인(powersupply line)이 형성되어 있어, 하나의 서브픽셀 영역을 정의한다.

<35> 상기 주사선과 신호선의 교차지점에는 어드레싱 엘리먼트(addressing element)인 스위칭 박막트랜지스터(switching TFT)가 형성되어 있고, 이 스위칭 박막트랜지스터 및 전력공급 라인과 연결되어 스토리지 캐패시터(C_{ST})가 형성되어 있으며, 이 스토리지 캐패시터(C_{ST}) 및 전력공급 라인과 연결되어, 전류원 엘리먼트(current source element)인 구동 박막트랜지스터가 형성되어 있고, 이 구동 박막트랜지스터와 연결되어 유기전계발광 다이오드(Electroluminescent Diode)가 구성되어 있다.

<36> 이 유기전계발광 다이오드는 유기발광물질에 순방향으로 전류를 공급하면, 정공 제공층인 양극(anode electrode)과 전자 제공층인 음극(cathode electrode)간의

P(positive)-N(negative) 접합(Junction)부분을 통해 전자와 정공이 이동하면서 서로 재

결합하여, 상기 전자와 정공이 떨어져 있을 때보다 작은 에너지를 가지게 되므로, 이때 발생하는 에너지 차로 인해 빛을 방출하는 원리를 이용하는 것이다.

<37> 상기 유기전계발광 소자는 유기전계발광 다이오드를 통해 발광된 빛의 투과방향에 따라 상부 발광방식(top emission type)과 하부 발광방식(bottom emission type)으로 나뉜다.

<38> 이하, 도 2는 종래의 하부발광방식 유기전계발광 소자에 대한 개략적인 단면도로서, 적, 녹, 청 서브픽셀로 구성되는 하나의 픽셀 영역을 중심으로 도시하였다.

<39> 도시한 바와 같이, 제 1, 2 기판(10, 30)이 서로 대향되게 배치되어 있고, 제 1, 2 기판(10, 30)의 가장자리부는 씰패턴(40 ; seal pattern)에 의해 봉지되어 있는 구조에 있어서, 제 1 기판(10)의 투명 기판(1) 상부에는 서브 픽셀별로 박막트랜지스터(T)가 형성되어 있고, 박막트랜지스터(T)와 연결되어 제 1 전극(12)이 형성되어 있고, 박막트랜지스터(T) 및 제 1 전극(12) 상부에는 박막트랜지스터(T)와 연결되어 제 1 전극(12)과 대응되게 배치되는 적(Red), 녹(Green), 청(Blue) 컬러를 띠는 발광물질을 포함하는 유기전계발광층(14)이 형성되어 있고, 유기전계발광층(14) 상부에는 제 2 전극(16)이 형성되어 있다.

<40> 상기 제 1, 2 전극(12, 16)은 유기전계발광층(14)에 전계를 인가해주는 역할을 한다.

<41> 그리고, 전술한 씰패턴(40)에 의해서 제 2 전극(16)과 제 2 기판(30) 사이는 일정 간격 이격되어 있으며, 도면으로 제시하지는 않았지만, 제 2 기판(30)의 내부면에는 외

부로의 수분을 차단하는 흡습제 및 흡습제와 제 2 기관(30)간의 접촉을 위한 반투성 테이프가 포함된다.

<42> 한 예로, 하부발광방식 구조에서 상기 제 1 전극(12)을 양극으로, 제 2 전극(16)을 음극으로 구성할 경우 제 1 전극(12)은 투명도전성 물질에서 선택되고, 제 2 전극(16)은 일함수가 낮은 금속물질에서 선택되며, 이런 조건 하에서 상기 유기전계발광층(14)은 제 1 전극(12)과 접하는 층에서부터 정공주입층(14a ; hole injection layer), 정공수송층(14b ; hole transporting layer), 발광층(14c ; emission layer), 전자수송층(14d ; electron transporting layer) 순서대로 적층된 구조를 이룬다.

<43> 이때, 상기 발광층(14c)은 서브픽셀별로 적, 녹, 청 컬러를 구현하는 발광물질이 차례대로 배치된 구조를 가진다.

<44> 도 3은 상기 도 2 하부발광방식 유기전계발광 소자의 하나의 서브픽셀 영역에 대한 확대 단면도이다.

<45> 도시한 바와 같이, 투명 기관(1) 상에는 반도체층(62), 게이트 전극(68), 소스 및 드레인 전극(80, 82)이 차례대로 형성되어 박막트랜지스터 영역을 이루고, 소스 및 드레인 전극(80, 82)에는 미도시한 전원공급 라인에서 형성된 파워 전극(72) 및 유기전계발광 다이오드(E)가 각각 연결되어 있다.

<46> 그리고, 상기 파워 전극(72)과 대응하는 하부에는 절연체가 개재된 상태로 상기 반도체층(62)과 동일물질로 이루어진 캐패시터 전극(64)이 위치하여, 이들이 대응하는 영역은 스토리지 캐패시터 영역을 이룬다.

- <47> 상기 유기전계발광 다이오드(E)이외의 박막트랜지스터 영역 및 스토리지 캐패시터 영역에 형성된 소자들은 어레이 소자(A)를 이룬다.
- <48> 상기 유기전계발광 다이오드(E)는 유기전계발광층(14)이 개재된 상태로 서로 대향된 제 1 전극(12) 및 제 2 전극(16)으로 구성된다. 상기 유기전계발광 다이오드(E)는 자체발광된 빛을 외부로 방출시키는 발광 영역에 위치한다.
- <49> 이와 같이, 기존의 유기전계발광 소자는 어레이 소자(A)와 유기전계발광 다이오드(E)가 동일 기판 상에 적층된 구조로 이루어지는 것을 특징으로 하였다.
- <50> 도 4는 종래의 유기전계발광 소자의 제조 공정에 대한 공정 흐름도이다.
- <51> st1은 제 1 기판 상에 어레이 소자를 형성하는 단계로서, 상기 제 1 기판은 투명 기판을 지칭하는 것으로, 제 1 기판 상에 주사선과, 주사선과 교차되며 서로 일정간격 이격되는 신호선 및 전력 공급선과, 주사선 및 신호선과 교차되는 지점에 형성되는 스위칭 박막트랜지스터 및 주사선 및 전력 공급선이 교차되는 지점에 형성되는 구동 박막트랜지스터를 포함하는 어레이 소자를 형성하는 단계를 포함한다.
- <52> st2는 유기전계발광 다이오드의 제 1 구성요소인 제 1 전극을 형성하는 단계로서, 제 1 전극은 구동 박막트랜지스터와 연결되어 서브픽셀별로 패턴화된다.
- <53> st3은 상기 제 1 전극 상부에 유기전계발광 다이오드의 제 2 구성요소인 유기전계발광층을 형성하는 단계로서, 상기 제 1 전극을 양극으로 구성하는 경우에, 상기 유기전계발광층은 정공주입층, 정공수송층, 발광층, 전자수송층 순으로 적층구성될 수 있다.

- <54> st4에서는, 상기 유기전계발광층 상부에 유기전계발광 다이오드의 제 3 구성요소인 제 2 전극을 형성하는 단계로서, 상기 제 2 전극은 공통 전극으로 기판 전면에 형성된다.
- <55> st5에서는, 또 하나의 기판인 제 2 기판을 이용하여 제 1 기판을 인캡슐레이션하는 단계로서, 이 단계에서는 제 1 기판의 외부충격으로부터 보호하고, 외기(外氣) 유입에 따른 유기전계발광층의 손상을 방지하기 위해 제 1 기판의 외곽을 제 2 기판으로 인캡슐레이션하는 단계로서, 상기 제 2 기판의 내부면에는 흡습제가 포함될 수 있다.
- <56> 이와 같이, 기존의 하부발광방식 유기전계발광 소자는 어레이 소자 및 유기전계발광 다이오드가 형성된 기판과 별도의 인캡슐레이션용 기판의 합착을 통해 소자를 제작하였다. 이런 경우, 어레이 소자의 수율과 유기전계발광 다이오드의 수율의 곱이 유기전계발광 소자의 수율을 결정하기 때문에, 기존의 유기전계발광 소자 구조에서는 후반 공정에 해당되는 유기전계발광 다이오드 공정에 의해 전체 공정 수율이 크게 제한되는 문제점이 있었다. 예를 들어, 어레이 소자가 양호하게 형성되었다 하더라도, 1000 Å 정도의 박막을 사용하는 유기전계발광층의 형성시 이물이나 기타 다른 요소에 의해 불량 발생하게 되면, 유기전계발광 소자는 불량 등급으로 판정된다.
- <57> 이로 인하여, 양품의 어레이 소자를 제조하는데 소요되었던 제반 경비 및 재료비 손실이 초래되고, 생산수율이 저하되는 문제점이 있었다.
- <58> 그리고, 하부발광방식은 인캡슐레이션에 의한 안정성 및 공정이 자유도가 높은 반면 개구율의 제한이 있어 고해상도 제품에 적용하기 어려운 문제점이 있고, 상부발광방식은 박막트랜지스터 설계가 용이하고 개구율 향상이 가능하기 때문에 제품수명 측면에서 유리하지만, 기존의 상부발광방식 구조에서는 유기전계발광층 상부에 통상적으로 음

극이 위치함에 따라 재료선택폭이 좁기 때문에 투과도가 제한되어 광효율이 저하되는 점과, 광투과도의 저하를 최소화하기 위해 박막형 보호막을 구성해야 하는 경우 외기를 충분히 차단하지 못하는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

- <59> 본 발명은 상기 문제점을 해결하기 위하여 안출된 것으로, 본 발명에서는 생산수율이 향상된 고해상도/고개구율 구조 액티브 매트릭스형 유기전계발광 소자를 제공하는 것을 목적으로 한다.
- <60> 이를 위하여, 본 발명에서는 어레이 소자 및 유기전계발광 다이오드 소자를 서로 다른 기판 상에 형성하고, 전기적 연결패턴을 통해 어레이 소자와 유기전계발광 다이오드 소자를 연결하는 듀얼패널타입(dual panel type) 유기전계발광소자를 제공하고자 한다.
- <61> 본 발명의 또 하나의 목적은, 화면을 구현하는 최소단위인 서브픽셀 단위로 유기전계발광 다이오드 소자용 제 1, 2 전극 중 어느 한 전극을 패터닝하기 위해 격벽(electrode separator) 구조를 이용하는 액티브 매트릭스형 유기전계발광 소자에 있어서, 본 발명에 따른 연결패턴의 높이는 전술한 격벽의 높이보다 높게 형성하여, 두 기판의 내부 소자들이 서로 단락되는 현상을 방지하고자 한다.

【발명의 구성 및 작용】

<62> 상기 목적을 달성하기 위하여, 본 발명의 제 1 특징에서는 화면을 구현하는 최소단위인 서브픽셀(sub-pixel) 영역이 정의된 제 1, 2 기판과; 상기 제 2 기판의 내부면에 형성된 제 1 전극과; 상기 제 1 전극 하부에서 서브픽셀별 경계부에 차례대로 형성된 절연막 및 격벽과; 상기 격벽 내부 영역에 차례대로 형성된 유기전계발광층 및 제 2 전극과; 상기 제 1 기판의 내부면에 서브픽셀 단위로 형성된 박막트랜지스터와; 상기 박막트랜지스터를 덮는 기판 전면에 위치하며, 상기 박막트랜지스터를 일부 노출시키는 콘택홀을 가지는 보호층과; 상기 보호층 상부의 상기 제 2 전극 형성부와 대응되는 위치에서, 상기 제 1, 2 기판 사이 간격을 일정하게 유지하는 범위에서 상기 격벽보다 높은 높이를 가지는 기둥형상의 제 1 패턴과; 상기 제 1 패턴을 덮는 영역에서, 상기 콘택홀을 통해 드레인 전극과 연결되고, 최상부면은 상기 제 2 전극의 하부면과 접촉되는 전도성 물질로 이루어진 제 2 패턴을 포함하며, 상기 유기전계발광층으로부터 발광된 빛은 제 1 전극쪽으로 발광되고, 상기 박막트랜지스터는 반도체층, 게이트 전극, 소스 전극 및 드레인 전극으로 이루어지며, 상기 제 1, 2 패턴은 상기 박막트랜지스터와 유기전계발광 다이오드 소자를 연결하는 연결패턴을 이루는 것을 특징으로 하는 듀얼패널타입 유기전계발광 소자를 제공한다.

<63> 본 발명의 제 2 특징에서는, 서브픽셀 영역이 정의된 제 1, 2 기판과; 상기 제 2 기판의 내부면에 형성된 제 1 전극과; 상기 제 1 전극 하부에서 서브픽셀별 경계부에 차례대로 형성된 절연막 및 격벽과; 상기 격벽 내부 영역에 차례대로 형성된 유기전계발광층 및 제 2 전극과; 상기 제 1 기판의 내부면에 서브픽셀 단위로 형성되며, 활성 영역과, 상기 활성 영역의 양측 주변부를 이루는 소스 영역 및 드레인 영역이 정의된 반

도체층과; 상기 반도체층의 활성 영역에 차례대로 형성된 게이트 절연막 및 게이트 전극과; 상기 게이트 전극을 덮는 기판 전면에 위치하며, 상기 소스 영역 및 드레인 영역을 일부 노출시키는 제 1, 2 콘택홀을 가지는 보호층과; 상기 보호층 상부의 상기 제 2 전극과 대응되는 영역에 형성되며, 상기 제 1, 2 기판 사이 간격을 일정하게 유지하는 범위에서, 상기 격벽보다 높은 높이를 가지는 기둥형상의 제 1 패턴과; 상기 보호층 상부에서 제 1 콘택홀을 통해, 상기 반도체층의 소스 영역과 연결된 소스 전극과; 상기 보호층 상부에서 제 2 콘택홀을 통해, 상기 반도체층의 드레인 영역과 연결되는 드레인 전극과; 상기 드레인 전극과 일체형으로 이루어지고, 상기 제 1 패턴을 덮는 영역에 위치하며, 최상부면은 상기 제 2 전극과 접촉되는 제 2 패턴을 포함하며, 상기 유기전계발광층으로부터 발광된 빛은 제 1 전극쪽으로 발광되고, 상기 반도체층, 게이트 전극, 소스 전극 및 드레인 전극은 박막트랜지스터를 이루며, 상기 제 1, 2 패턴은 상기 박막트랜지스터와 제 2 전극을 연결하는 연결패턴을 이루는 듀얼패널타입 유기전계발광 소자를 제공한다.

<64> 본 발명의 제 1, 2 특징에 따른 상기 격벽은 상협하광(上狹下廣) 구조의 사다리꼴 형상을 가지고, 상기 제 1 패턴은, 포토레지스트(photoresist)를 이용하여 사진식각공정(photolithography)에 의해 이루어지며, 상기 제 1 패턴을 이루는 물질은, 포토아크릴(photoacryl), 폴리이미드(polyimide) 중 어느 하나에서 선택되는 것을 특징으로 한다.

<65> 그리고, 상기 제 1, 2 기판의 가장자리부는 씰패턴(seal pattern)에 의해 봉지되고, 상기 박막트랜지스터는, 상기 유기전계발광 소자에 전류를 공급하는 구동 박막트랜지스터에 해당되며, 상기 구동 박막트랜지스터의 게이트 전극은 스위칭 박막트랜지스터의 드레인 전극과 연결되는 것을 특징으로 한다.

<66> 본 발명의 제 1, 2 특징에 따른 상기 제 1 패턴의 양 측면은 테이퍼(taper)를 가지는 것을 특징으로 한다.

<67> 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 상세히 설명한다.

<68> 본 발명에 따른 듀얼패널타입 유기전계발광 소자는 액티브 매트릭스형으로 구동하고, 상부발광방식으로 발광되는 것을 특징으로 한다.

<69> -- 실시예 1 --

<70> 본 실시예는, 서로 대향된 기판에 어레이 소자 및 유기전계발광 소자가 각각 형성되어 있고, 서로 독립되게 형성된 어레이 소자 및 유기전계발광 소자는 별도의 전기적 연결패턴에 의해 연결된 것을 특징으로 하는 듀얼패널타입 유기전계발광 소자에 대한 것으로, 특히 상기 연결패턴은 일종의 스페이서 역할을 하는 제 1 패턴과, 제 1 패턴을 덮으며 박막트랜지스터와 연결되고 상부로는 유기전계발광 다이오드 소자의 제 2 전극과 접촉되는 제 2 패턴으로 이루어진 것을 특징으로 하는 듀얼패널타입 유기전계발광 소자에 대한 것이다.

<71> 도 5는 본 발명의 제 1 실시예에 따른 듀얼패널타입 유기전계발광 소자에 대한 단면도로서, 설명의 편의상 어레이 소자에 대해서는 구동 박막트랜지스터를 중심으로 도시하였고, 그외 스토리지 캐패시터스 및 스위칭 박막트랜지스터는 상기 도 1의 화소 구조를 적용할 수 있다.

<72> 도시한 바와 같이, 화면을 구현하는 최소단위인 서브픽셀(sub-pixel) 단위로 제 1, 2 기판(110, 150)이 서로 일정간격 이격되어 대향되게 배치되어 있고, 제 1 기판(110,

150)의 내부면에는 서브픽셀 단위로 형성된 박막트랜지스터(T)를 포함하는 어레이 소자층(140)이 형성되어 있으며, 어레이 소자층(140) 상부에는 박막트랜지스터(T)와 연결된 기둥형상의 연결패턴(134)이 형성되어 있다.

<73> 그리고, 상기 제 2 기판(150)의 내부면에는 제 1 전극(152)이 형성되어 있고, 제 1 전극(152) 하부면에는 서브픽셀 영역별 경계부에 절연층(154) 및 상협하광(上狹下廣) 구조 사다리꼴 형상의 격벽(156)이 차례대로 형성되어 있고, 격벽(156)에 의해 별도의 패터닝 공정없이 격벽(156) 내부영역에 유기전계발광층(158) 및 제 2 전극(160)이 서브픽셀 단위로 차례대로 형성되어 있다.

<74> 도면으로 제시하지는 않았지만, 상기 격벽(156)의 평면적인 구조는 서브픽셀 영역별 경계부를 두르는 틀(frame) 구조를 가진다.

<75> 그리고, 상기 제 2 전극(160)의 하부면은 전술한 연결패턴(134)과 접촉되게 구성되어 있고, 제 1, 2 기판(110, 150)의 가장자리부는 셀패턴(170)에 봉지되어 있다.

<76> 상기 제 1, 2 전극(152, 160) 및 유기전계발광층(158)는 유기전계발광 다이오드 소자(E)를 이룬다.

<77> 상기 어레이 소자층(140)의 적층구조에 대해서 좀 더 상세히 설명하면, 제 1 기판(110) 전면에는 버퍼층(112)이 형성되어 있고, 버퍼층(112) 상부에 서브픽셀 단위로 활성 영역(I) 및 활성 영역(I)의 양측에 위치하는 소스 영역(II) 및 드레인 영역(III)이 정의된 반도체층(114)이 형성되어 있고, 반도체층(114)의 활성 영역(I)에는 게이트 절연막(116) 및 게이트 전극(118)이 차례대로 형성되어 있고, 게이트 전극(118)을 덮는 기판 전면부에 위치하며, 전술한 반도체층(114)의 소스 영역(II) 및 드레인 영역(III)을 일부

노출시키는 제 1, 2 콘택홀(120, 122)을 가지는 제 1 보호층(124)이 형성되어 있고, 제 1 보호층(124) 상부에서 제 1, 2 콘택홀(120, 122)을 통해 반도체층(114)의 소스 영역(II) 및 드레인 영역(III)과 연결되어 소스 전극(126) 및 드레인 전극(128)이 각각 형성되어 있고, 소스 전극(126) 및 드레인 전극(128)을 덮는 기판 전면에 위치하며, 드레인 전극(128)을 일부 노출시키는 제 3 콘택홀(130)을 가지는 제 2 보호층(132)이 형성되어 있고, 제 2 보호층(132) 상부에는 제 3 콘택홀(130)과 인접한 위치에 일정한 높이를 가지는 스페이서 형태의 제 1 패턴(134a)과, 제 1 패턴(134a)을 덮는 영역에서 제 3 콘택홀(130)을 통해 드레인 전극(128)과 연결되는 제 2 패턴(134b)으로 이루어진 연결패턴(134)이 형성되어 있다. 그리고, 상기 연결패턴(134)의 최상부면은 제 2 전극(160)의 하부면과 접촉되어, 상기 드레인 전극(128)에서 제공되는 전류를 제 2 전극(160)에 전달하는 역할을 하는 것을 특징으로 한다.

<78> 상기 반도체층(114), 게이트 전극(118), 소스 전극(126), 드레인 전극(128)은 구동 박막트랜지스터(T)를 이룬다.

<79> 도면으로 상세히 제시하지는 않았지만, 상기 구동 박막트랜지스터(T)와 연결되어 화소 구동용 스토리지 캐패시턴스가 형성되고, 상기 구동 박막트랜지스터(T)의 게이트 전극(116)은 미도시한 스위칭 박막트랜지스터의 드레인 전극과 연결된다.

<80> 그리고, 상기 격벽(154)에 의해 유기전계발광층(158)은 서브픽셀별 순서대로 적, 녹, 청 컬러를 발광시키는 유기전계발광층(158)으로 이루어지고, 하나의 적, 녹, 청 서브픽셀은 하나의 픽셀을 이룬다.

<81> 본 실시예에서는, 상기 구동 박막트랜지스터(T)용 드레인 전극(128)과 연결되도록 연결패턴(134)을 형성함에 있어서, 연결패턴(134)의 높이를 일정하게 유지할 수 있도록

두께감을 주기 위해 스페이서 역할을 하는 제 1 패턴(134a)을 형성한 다음, 제 1 패턴(134a)을 덮는 영역에 전도성 물질로 이루어진 제 2 패턴(134b)을 형성하여, 실질적으로 제 2 패턴(134b)을 통해 제 2 전극(160)과 드레인 전극(128)을 연결시키는 것을 특징으로 한다.

<82> 이때, 상기 제 1 패턴(134a)의 높이(h1)는, 상기 제 1, 2 기판(110, 150) 사이 간격을 일정하게 유지하는 범위에서 격벽(154)의 높이(h2)보다 큰값을 가지는 것을 특징으로 하는데, 왜냐하면 상기 격벽(156)을 경계부로 하여 격벽(156) 내부에 유기전계발광층(158) 및 제 2 전극(160)을 서브픽셀 단위로 패턴한 다음, 제 1 기판(110)과 인접한 격벽(156)면에 유기전계발광층 물질 및 제 2 전극 물질(미도시)이 차례대로 잔존하기 때문에, 격벽(156) 및 잔존하는 유기전계발광층 물질과 제 2 전극 물질이 가지는 높이감에 의해 제 1, 2 기판(110, 150)의 주요 소자간에 단락이 발생하는 것을 방지하기 위하여, 전술한 연결패턴(134)의 제 1 패턴(134a)의 높이를 격벽(156)보다 높게 형성하는 것이 바람직하다.

<83> 상기 제 1 패턴(134a)을 이루는 물질은 절연물질에서 선택되며, 한 예로 포토레지스트(photo resist)를 이용하여 사진식각공정(photolithography)에 의해 패터닝(patterning) 할 수 있다.

<84> 또한, 상기 포토레지스트외에 포토아크릴(photo acryl), 폴리이미드(polyimide) 등의 유기물질을 이용하여, 양측면이 테이퍼(taper)를 가지도록 형성하는 것이 바람직하다.

<85> -- 실시예 2 --

- <86> 본 실시예에서는, 서로 다른 기판에 어레이 소자 및 유기전계발광 다이오드 소자를 각각 구성하고, 상기 어레이 소자와 유기전계발광 다이오드 소자를 연결패턴으로 연결하는 듀얼패널타입 유기전계발광 소자에 있어서, 상기 연결패턴은 일종의 스페이서 역할을 하는 제 1 패턴과, 상기 제 1 패턴을 덮으며 구동 박막트랜지스터용 드레인 전극과 일체형으로 형성된 제 2 패턴으로 이루어진 것을 특징으로 하는 실시예이다.
- <87> 도 6은 본 발명의 제 2 실시예에 따른 듀얼패널타입 유기전계발광 소자에 대한 단면도이다.
- <88> 도시한 바와 같이, 서브픽셀 영역이 정의되어 있는 제 1, 2 기판(210, 250)이 서로 일정간격 이격되게 배치되어 있고, 제 1 기판(210) 내부면에는 서브픽셀 단위로 형성된 박막트랜지스터(T)를 포함하는 어레이 소자층(240)이 형성되어 있으며, 제 2 기판(250)의 내부 전면에는 제 1 전극(252)이 형성되어 있고, 제 1 전극(252) 하부면에는 서브픽셀 경계부마다 절연층(254) 및 사다리꼴 형상의 격벽(256)이 차례대로 형성되어 있으며, 격벽(256) 내부 영역에는 유기전계발광층(258) 및 제 2 전극(260)이 차례대로 형성되어 있다.
- <89> 좀 더 상세히 설명하면, 상기 제 1 기판(210)의 내부면에는 버퍼층(212)이 형성되어 있고, 버퍼층(212) 상부에는 서브픽셀 단위로 활성 영역(I)과 활성 영역(I)의 양측에 위치하는 소스 영역(II) 및 드레인 영역(III)으로 정의된 반도체층(214)이 형성되어 있고, 반도체층(214)의 활성 영역(I)에는 게이트 절연막(216) 및 게이트 전극(218)이 차례대로 형성되어 있으며, 게이트 전극(218)을 덮는 기판 전면에 위치하며, 반도체층(214)의 소스 영역(II) 및 드레인 영역(III)을 일부 노출시키는 제 1, 2 콘택홀(220, 222)을

가지는 제 1 보호층(224)이 형성되어 있고, 제 1 보호층(224) 상부에는 서브픽셀 단위로 일종의 스페이서와 같이 일정 두께를 가지는 제 1 패턴(226a)이 형성되어 있고, 상기 제 1, 2 콘택홀(220, 222)을 통해 반도체층(214)의 소스 영역(II)과 연결되는 소스 전극(228) 및 반도체층(214)의 드레인 영역(III) 및 제 1 패턴(226a)을 덮는 영역에 드레인 전극(230)과 제 2 패턴(226b)이 일체형으로 형성되어 있다.

<90> 상기 제 1, 2 패턴(226a, 226b)은 연결 패턴(226)을 이루고, 상기 연결 패턴(226)의 최상부면은 제 2 전극(260)의 하부면과 접촉되는 것을 특징으로 한다.

<91> 상기 제 1 패턴(226a)의 높이(h1)는 격벽(256)의 높이(h2)보다 큰 값을 가지는 것을 특징으로 하고, 본 실시예에 의하면 상기 실시예 1에서보다 보호층 공정 및 연결패턴용 제 2 패턴 공정을 소스 및 드레인 공정에 포함시킬 수 있어 별도 공정의 생략으로, 공정 단순화를 꾀할 수 있다.

<92> 그러나, 본 발명은 상기 실시예들로 한정되지 않고, 본 발명의 취지에 어긋나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

【발명의 효과】

<93> 이상과 같이, 본 발명에 따른 듀얼패널타입 유기전계발광 소자에 의하면 다음과 같은 효과를 가지게 된다.

<94> 첫째, 생산수율 및 생산관리 효율을 향상시킬 수 있고, 제품수명을 늘릴 수 있다.

<95> 둘째, 상부발광방식이기 때문에 박막트랜지스터 설계가 용이해지고 고개구율/고해상도 구현이 가능하다.

- <96> 셋째, 상부발광방식이면서 인캡슐레이션 구조이기 때문에, 외기로부터 안정적인 제품을 제공할 수 있다.
- <97> 넷째, 어레이 소자와 유기전계발광 소자를 연결하는 연결패턴을 형성함에 있어서, 두께감을 줄 수 있고 높이조절이 용이한 패턴을 포함하여 연결패턴을 형성하기 때문에, 제품불량률을 낮출 수 있다.
- <98> 다섯째, 본 발명에 따른 한 실시예에 따르면, 유기전계발광 다이오드 소자용 구동 박막트랜지스터의 전극을 연장형성하여 연결패턴으로 이용함에 따라, 공정단순화를 꾀할 수 있다.

【특허청구범위】

【청구항 1】

화면을 구현하는 최소단위인 서브픽셀(sub-pixel) 영역이 정의된 제 1, 2 기판과;

상기 제 2 기판의 내부면에 형성된 제 1 전극과;

상기 제 1 전극 하부에서 서브픽셀별 경계부에 차례대로 형성된 절연막 및 격벽과;

상기 격벽 내부 영역에 차례대로 형성된 유기전계발광층 및 제 2 전극과;

상기 제 1 기판의 내부면에 서브픽셀 단위로 형성된 박막트랜지스터와;

상기 박막트랜지스터를 덮는 기판 전면에 위치하며, 상기 박막트랜지스터를 일부 노출시키는 콘택홀을 가지는 보호층과;

상기 보호층 상부의 상기 제 2 전극 형성부와 대응되는 위치에서, 상기 제 1, 2 기판 사이 간격을 일정하게 유지하는 범위에서 상기 격벽보다 높은 높이를 가지는 기둥형상의 제 1 패턴과;

상기 제 1 패턴을 덮는 영역에서, 상기 콘택홀을 통해 드레인 전극과 연결되고, 최상부면은 상기 제 2 전극의 하부면과 접촉되는 전도성 물질로 이루어진 제 2 패턴

을 포함하며, 상기 유기전계발광층으로부터 발광된 빛은 제 1 전극쪽으로 발광되고, 상기 박막트랜지스터는 반도체층, 게이트 전극, 소스 전극 및 드레인 전극으로 이루어지며, 상기 제 1, 2 패턴은 상기 박막트랜지스터와 유기전계발광 다이오드 소자를 연결하는 연결패턴을 이루는 것을 특징으로 하는 듀얼패널타입 유기전계발광 소자.

【청구항 2】

서브픽셀 영역이 정의된 제 1, 2 기판과;

상기 제 2 기판의 내부면에 형성된 제 1 전극과;

상기 제 1 전극 하부에서 서브픽셀별 경계부에 차례대로 형성된 절연막 및 격벽과;

상기 격벽 내부 영역에 차례대로 형성된 유기전계발광층 및 제 2 전극과;

상기 제 1 기판의 내부면에 서브픽셀 단위로 형성되며, 활성 영역과, 상기 활성 영역의 양측 주변부를 이루는 소스 영역 및 드레인 영역이 정의된 반도체층과;

상기 반도체층의 활성 영역에 차례대로 형성된 게이트 절연막 및 게이트 전극과;

상기 게이트 전극을 덮는 기판 전면에 위치하며, 상기 소스 영역 및 드레인 영역을 일부 노출시키는 제 1, 2 콘택홀을 가지는 보호층과;

상기 보호층 상부의 상기 제 2 전극과 대응되는 영역에 형성되며, 상기 제 1, 2 기판 사이 간격을 일정하게 유지하는 범위에서, 상기 격벽보다 높은 높이를 가지는 기둥 형상의 제 1 패턴과;

상기 보호층 상부에서 제 1 콘택홀을 통해, 상기 반도체층의 소스 영역과 연결된 소스 전극과;

상기 보호층 상부에서 제 2 콘택홀을 통해, 상기 반도체층의 드레인 영역과 연결되는 드레인 전극과;

상기 드레인 전극과 일체형으로 이루어지고, 상기 제 1 패턴을 덮는 영역에 위치하며, 최상부면은 상기 제 2 전극과 접촉되는 제 2 패턴

을 포함하며, 상기 유기전계발광층으로부터 발광된 빛은 제 1 전극쪽으로 발광되고, 상기 반도체층, 게이트 전극, 소스 전극 및 드레인 전극은 박막트랜지스터를 이루며, 상기 제 1, 2 패턴은 상기 박막트랜지스터와 제 2 전극을 연결하는 연결패턴을 이루는 듀얼패널타입 유기전계발광 소자.

【청구항 3】

제 1 항 또는 제 2 항 중 어느 하나의 항에 있어서,
상기 격벽은 상협하광(上狹下廣) 구조의 사다리꼴 형상을 가지는 듀얼패널타입 유기전계발광 소자.

【청구항 4】

제 1 항 또는 제 2 항 중 어느 하나의 항에 있어서,
상기 제 1 패턴은, 포토레지스트(photoresist)를 이용하여 사진식각공정 (photolithography)에 의해 이루어지는 듀얼패널타입 유기전계발광 소자.

【청구항 5】

제 1 항 또는 제 2 항 중 어느 하나의 항에 있어서,
상기 제 1 패턴을 이루는 물질은, 포토아크릴(photoacryl), 폴리이미드(polyimide) 중 어느 하나에서 선택되는 듀얼패널타입 유기전계발광 소자.

【청구항 6】

제 1 항 또는 제 2 항 중 어느 하나의 항에 있어서,

상기 제 1, 2 기판의 가장자리부는 씰패턴(seal pattern)에 의해 봉지되는 듀얼패널타입 유기전계발광 소자.

【청구항 7】

제 1 항 또는 제 2 항 중 어느 하나의 항에 있어서,

상기 박막트랜지스터는, 상기 유기전계발광 소자에 전류를 공급하는 구동 박막트랜지스터에 해당되는 듀얼패널타입 유기전계발광 소자.

【청구항 8】

제 7 항에 있어서,

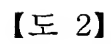
상기 구동 박막트랜지스터의 게이트 전극은 스위칭 박막트랜지스터의 드레인 전극과 연결되는 듀얼패널타입 유기전계발광 소자.

【청구항 9】

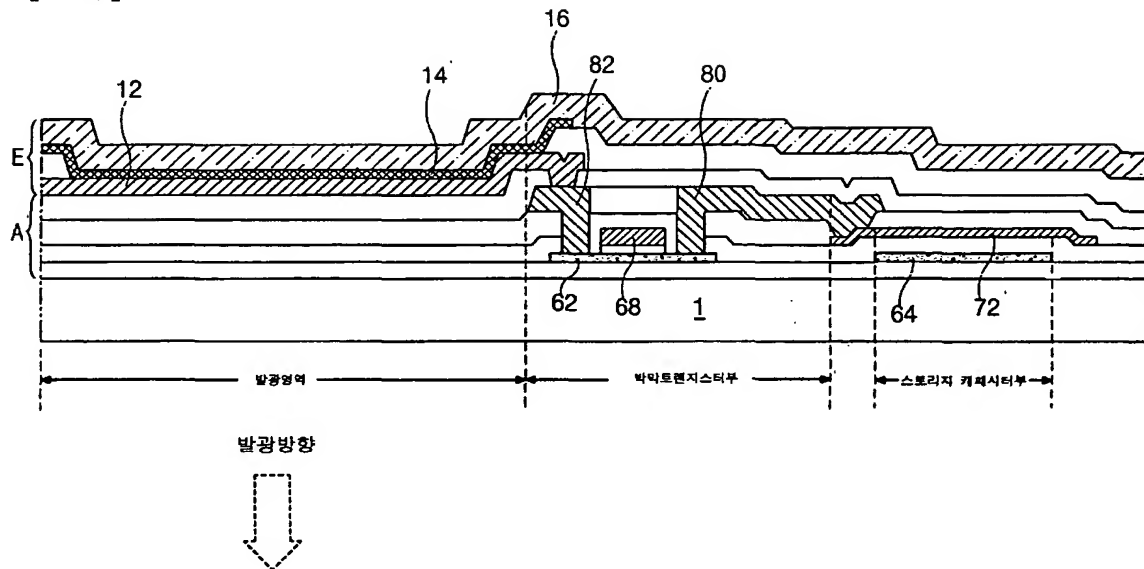
제 1 항 또는 제 2 항 중 어느 하나의 항에 있어서,

상기 제 1 패턴의 양 측면은 테이퍼(taper)를 가지는 듀얼패널타입 유기전계발광 소자.

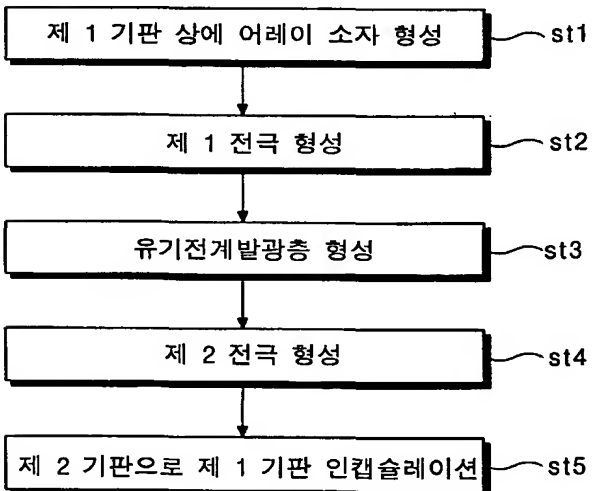
【도 1】



【도 3】



【도 4】



This cross-sectional view shows a substrate 210 with layers 212 and 224. A patterned layer 220 is formed on the substrate, featuring a central rectangular region 214 and side regions 216, 218, and 222. The height of the central region is labeled $h1$. A top layer 250 is positioned above the patterned layer, with a gap 252 between them. The top layer has a thickness $h2$ and is divided into regions 254, 258, and 260. The patterned layer 220 is also divided into regions 224, 226a, and 226b. The overall width of the patterned layer is labeled T , and the width of the central region is labeled $h1$. The label '서브픽셀' (Subpixel) is located below the patterned layer.